

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
4. August 2005 (04.08.2005)

PCT

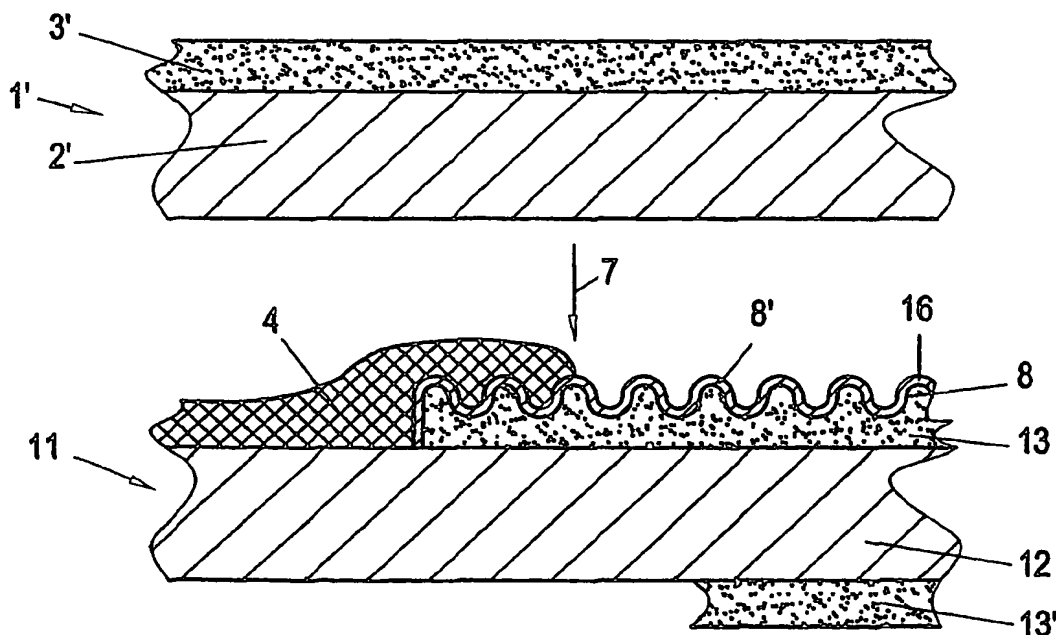
(10) Internationale Veröffentlichungsnummer
WO 2005/072035 A1

- (51) Internationale Patentklassifikation⁷: H05K 3/24, 1/16
- (21) Internationales Aktenzeichen: PCT/AT2005/000010
- (22) Internationales Anmeldedatum:
21. Januar 2005 (21.01.2005)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
A 85/2004 23. Januar 2004 (23.01.2004) AT
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): AT & S AUSTRIA TECHNOLOGIE & SYSTEMTECHNIK AKTIENGESELLSCHAFT [AT/AT]; Fabriksgasse 13, A-8700 Leoben-Hinterberg (AT).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): BAUER, Wolfgang [AT/AT]; Carlonegasse 10, A-8055 Graz (AT). STAHR, Johannes [AT/AT]; Murpark 1, A-8600 Bruck an der Mur (AT).
- (74) Anwalt: SONN & PARTNER PATENTANWÄLTE; Riemergasse 14, A-1010 Wien (AT).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF A CIRCUIT BOARD ELEMENT AND CIRCUIT BOARD ELEMENT

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINES LEITERPLATTENELEMENTS SOWIE LEITERPLATTENELEMENT



(57) Abstract: A circuit board element (11) and production thereof are disclosed, whereby a noble metal (16) is applied to a structured conductor layer (13) on a circuit board substrate (12), comprising said conductor layer (13). The conductor layer (13) is roughened on the surface, preferably after the structuring thereof and the noble metal applied as a layer (16), essentially on all of the structured roughened conductor layer (13), whereupon the noble metal layer surface is given a corresponding roughness (8').

[Fortsetzung auf der nächsten Seite]



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Erklärung gemäß Regel 4.17:

— Erfindererklärung (Regel 4.17 Ziffer iv) nur für US

(57) **Zusammenfassung:** Beschrieben wird ein Leiterplattenelement (11) bzw. dessen Herstellung, wobei ausgehend von einem Leiterplatten-Substrat (12) mit zumindest einer Leiterlage (13) diese Leiterlage (13) strukturiert und darauf Edelmetall (16) aufgebracht wird; die Leiterlage (13) wird, vorzugsweise nach dem Strukturieren, an der Oberfläche aufgeraut und das Edelmetall als Schicht (16) im Wesentlichen auf der gesamten strukturierten, aufgerauten Leiterlage (13) aufgebracht, wobei die Edelmetallschicht-Oberfläche eine entsprechende Rauheit (8') erhält.